



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000148085 A**(43) Date of publication of application: **26.05.00**

(51) Int. Cl. **G09G 3/28**
G09G 3/20
H04N 5/66

(21) Application number: **10323679**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **13.11.98**(72) Inventor: **AWAJI NORIYUKI**

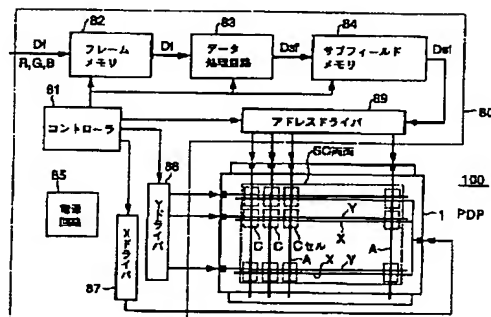
(54) **METHOD AND DEVICE FOR CONTROLLING
 DISPLAY OF PLASMA DISPLAY PANEL**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To simply adjust contrast only by controlling a display without changing a basic structure of a usual plasma display panel(PDP) by using one of plural sub-fields as the sub-field for adjusting the contrast of a picture.

SOLUTION: This method is a display control method performing a gradation display by dividing one field to plural sub-fields and controlling the turn-on of respective sub-fields, and is constituted so that at least one of plural sub-fields is used as the sub-field for adjusting the contrast of the picture. In this device, a data processing circuit 83 is a data conversion means dividing one field to the sub-fields of a prescribed number in order to perform the gradation display, and setting the combination of the sub-fields to be turned on among them, and outputs the sub-field data Dsf according to the field data Df. The sub-field data Dsf are stored in a sub-field memory 84.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-148085

(P2000-148085A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	K 5 C 0 5 8
	3/20 6 4 1	3/20 6 4 1 K	5 C 0 8 0
	6 4 2	6 4 2 E	
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 B

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平10-323679

(22) 出願日 平成10年11月13日 (1998. 11. 13)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 淡路 則之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

Fターム(参考) 5C058 AA11 BA08 BB25

5C080 AA05 BB05 CC03 DD03 EE28

FF12 GG12 HH02 JJ02 JJ04

JJ06

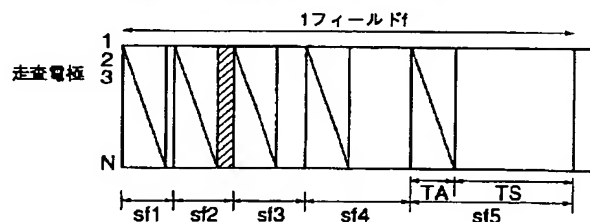
(54) 【発明の名称】 プラズマディスプレイパネルの表示制御方法及び装置

(57) 【要約】

【課題】 PDPの表示制御方法及び装置に関し、所望のサブフィールド期間に画面の全放電セルを点灯させることにより、従来のPDPの基本構造を変えることなく、簡単にコントラストを調整する。

【解決手段】 1フィールドを複数のサブフィールドに分割し、各サブフィールドの点灯を制御することにより階調表示を行うプラズマディスプレイパネルの表示制御方法であって、複数のサブフィールドの少なくとも1つを画面のコントラストを調整するためのサブフィールドとする。

ADSサブフィールド方式でマトリクス状に配置された放電セルを走査する状態を示す説明図



【特許請求の範囲】

【請求項1】 1フィールドを複数のサブフィールドに分割し、各サブフィールドの点灯を制御することにより階調表示を行うプラズマディスプレイパネルの表示制御方法であって、前記複数のサブフィールドの少なくとも1つを画面のコントラストを調整するためのサブフィールドとしたことを特徴とするプラズマディスプレイパネルの表示制御方法。

【請求項2】 サブフィールドを用いて階調表示を行うプラズマディスプレイパネルの表示制御装置であって、画像表示のための1フィールドを輝度の重みの異なる複数のサブフィールドに分割する分割回路と、各サブフィールドの点灯を制御することにより階調表示を行う階調表示回路と、前記複数のサブフィールドの内の特定のサブフィールドについて画面を構成する全ての放電セルを点灯させるコントラスト調整回路とを備えてなるプラズマディスプレイパネルの表示制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プラズマディスプレイパネル（PDP）の表示制御方法及び装置に関し、さらに詳しくは、マトリクス表示方式のPDPの主としてコントラストを制御するための表示制御方法及び装置に関する。

【0002】

【従来の技術】PDPは視認性に優れ、高速表示が可能であり、しかも比較的大画面化の容易な薄型表示デバイスである。マトリクス表示方式の、なかでも面放電型のPDPは、駆動電圧の印加に際して対となる表示電極を同一の基板上に配列したPDPであり、蛍光体によるカラー表示に適している。

【0003】従来、例えばAC駆動方式の面放電型のカラーPDPは、以下のような構成となっている。すなわち、パネルを構成する一方の基板上に面放電（表示用の主放電であるため表示放電と呼ばれたり、アドレス後の維持放電であるためサステイン放電と呼ばれたりする）発生用の多数の主電極対が水平方向にほぼ平行に配置され、他方の基板上にアドレス放電発生用の複数のアドレス電極および該アドレス電極を挟むようにストライプ状の多数の隔壁（リブ）が垂直方向（主電極と交差する方向）にほぼ平行に設けられており、隔壁間の細長い溝内には、放電セル対応のドット状または複数の放電セル対応のストライプ状に蛍光体層が形成されている。

【0004】そして、画像を表示する際の各画素の明るさについては、フィールド内時分割駆動を行って階調表示を行うようにしている。このフィールド内時分割駆動では、例えば輝度を8段階に設定するのであれば、1フィールドを3つのサブフィールドに時分割して（すなわち3枚のサブ画面を連続的に表示することで1枚の画面が構成されるようにする）、その時分割した3つのサブ

フィールドに、輝度の相対比が1：2：4となるように重み付けをし、その重みに応じた放電セル（画素）の点灯（放電）回数を設定しておく。

【0005】そして、各放電セルの点灯を制御して、各放電セルを所望のサブフィールドの表示時に点灯させることにより、階調表示を行う。具体的には、例えば、ある放電セルを、輝度相対比“3”の輝度で表示する場合には、輝度相対比“1”の重みのサブフィールドと輝度相対比“2”の重みのサブフィールドの表示時にその放電セルを点灯させて、輝度相対比が“3（1+2）”となるようにしている。また、ある放電セルを、輝度相対比“5”の輝度で表示する場合には、輝度相対比“1”の重みのサブフィールドと輝度相対比“4”の重みのサブフィールドの表示時にその放電セルを点灯させて、輝度相対比が“5（1+4）”となるようにしている。

【0006】なお、本明細書における「フィールド」とは、時系列の画像表示の単位画像であって、例えばNTSC方式のテレビジョンの場合にはインターレース形式のフレームの各フィールドを意味し、コンピュータ出力に代表されるノンインターレース形式の場合にはフレームそのものを意味する。

【0007】

【発明が解決しようとする課題】しかしながら、このような従来のPDPにおいては、一般的な需要者の要望である高コントラスト化の要望に応じて、コントラストを高めるために各種の工夫がなされているが、画面を見る人によっては様々な要求があり、例えばコントラストの低い画面を望む人もいる。

【0008】なお、画面の輝度調整を行えるPDPとしては、特開平9-325735号公報に記載の、初期化のために行う予備放電の放電条件を変更する手段を設け、予備放電による発光の明るさをコントロールして、階調数を損なうことなく輝度調整を行わせるようにしたものなどが知られている。

【0009】この発明は、このような事情を考慮してなされたもので、従来のPDPの基本構造を変えずに、表示を制御するだけで簡単にコントラストを調整することが可能なプラズマディスプレイパネルの表示制御方法及び装置を提供するものである。

【0010】

【課題を解決するための手段】この発明は、1フィールドを複数のサブフィールドに分割し、各サブフィールドの点灯を制御することにより階調表示を行うプラズマディスプレイパネルの表示制御方法であって、前記複数のサブフィールドの少なくとも1つを画面のコントラストを調整するためのサブフィールドとしたことを特徴とするプラズマディスプレイパネルの表示制御方法である。

【0011】この発明は、また、サブフィールドを用いて階調表示を行うプラズマディスプレイパネルの表示制御装置であって、画像表示のための1フィールドを輝度

の重みの異なる複数のサブフィールドに分割する分割回路と、各サブフィールドの点灯を制御することにより階調表示を行う階調表示回路と、前記複数のサブフィールドの内の特定のサブフィールドについて画面を構成する全ての放電セルを点灯させるコントラスト調整回路とを備えてなるプラズマディスプレイパネルの表示制御装置である。

【0012】この発明によれば、1フィールドを複数のサブフィールドに分割して階調表示を行うに際し、複数のサブフィールドの内の少なくとも1つを画面のコントラストを調整するためのサブフィールドとして用いるようにしたので、例えば、複数のサブフィールド内の特定のサブフィールドについて、画面を構成する全ての放電セルを点灯するようにした場合には、最も輝度の低い放電セルの輝度を高めることができ、これにより画面のコントラストを調整することができる。

【0013】

【発明の実施の形態】本発明のPDPの構造及びPDPの製造方法は、マトリクス表示方式のPDPであれば、DC型、AC型、面放電型、対向放電型、2電極構造、3電極構造等、いずれのPDPであっても適用可能である。

【0014】この発明において、一对の基板としては、ガラス、石英、シリコン等の基板や、これらの基板上に、電極、絶縁膜、誘電体層、保護膜等の所望の構成物を形成した基板が含まれる。

【0015】隔壁としては、例えば低融点ガラス粉末と樹脂と溶媒を混合したペースト状の公知の隔壁材料を用い、スクリーン印刷、サンドブラスト等の公知の方法により形成したものが含まれる。低融点ガラスとしては、例えば $PbO-B_2O_3-SiO_2$ 系ガラスなどを用いることができる。

【0016】電極としては、透明電極、金属電極等の電極をいずれも適用することが可能であるが、透明電極であればITO、 SnO_2 等を、金属電極であれば $Cr/Cu/Cr$ 等を用いることが望ましい。

【0017】この発明において、画面のコントラストを調整するためのサブフィールドとしては、フィールド内時分割駆動に際して時分割したサブフィールドのいずれのサブフィールドを用いてもよい。例えば、コントラストを少しだけ低下させるような調整を行う場合であれば、輝度の相対比が最も小さいサブフィールドで全ての放電セルを点灯させればよい。また、コントラストを大きく低下させるような調整を行う場合であれば、輝度の相対比が最も大きいサブフィールドで全ての放電セルを点灯させればよい。また、これらの中間にコントラストを調整したい場合であれば、輝度の相対比が中間程度のサブフィールドで全ての放電セルを点灯させればよい。

【0018】この発明において、階調とは輝度の段階を意味し、階調表示とは輝度に段階を設けて表示すること

を意味する。また、コントラストとは画面における最大輝度と最小輝度との比または差を意味する。

【0019】以下、図面に示す実施の形態に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0020】図1は本発明に係るプラズマ表示装置の構成図である。プラズマ表示装置100は、マトリクス形式のカラー表示デバイスであるAC型3電極面放電構造のPDP1と、画面（スクリーン）SCを構成する縦横に並んだセルCを選択的に点灯させるための駆動ユニット80とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0021】PDP1は、対をなす第1及び第2の主放電用電極としてのサステイン電極X、Yが平行配置され、各セルCにおいてサステイン電極X、Yと第3の電極としてのアドレス電極Aとが交差する3電極面放電構造のPDPである。サステイン電極X、Yは画面の行方向（水平方向）に延び、一方のサステイン電極Yはアドレス電極Aに際して行単位にセルCを選択するためのスキャン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、列単位にセルCを選択するためのデータ電極として用いられる。サステイン電極群とアドレス電極群とが交差する領域が表示領域、すなわち画面SCである。

【0022】駆動ユニット80は、コントローラ81、フレームメモリ82、データ処理回路83、サブフィールドメモリ84、電源回路85、Xドライバ87、Yドライバ88、及びアドレスドライバ89を有している。駆動ユニット80には、TVチューナ、コンピュータなどの外部装置からG（緑）、B（青）、R（赤）の各色の輝度レベル（階調レベル）を示す画素単位のフィールドデータDfが各種の同期信号とともに入力される。

【0023】フィールドデータDfは、フレームメモリ82に一旦格納された後、データ処理回路83へ送られる。データ処理回路83は、階調表示を行うために1フィールドを所定数のサブフィールドに分割し、その内の点灯させるサブフィールドの組合せを設定するデータ変換手段であり、フィールドデータDfに応じたサブフィールドデータDs fを出力する。サブフィールドデータDs fはサブフィールドメモリ84に格納される。サブフィールドデータDs fの各ビットの値は、サブフィールドにおけるセルの点灯の要否を示す情報、厳密にはアドレス放電の要否を示す情報である。

【0024】Xドライバ87はサステイン電極Xに駆動電圧を印加し、Yドライバ88はサステイン電極Yに駆動電圧を印加する。アドレスドライバ89は、サブフィールドデータDs fに応じてアドレス電極Aに駆動電圧を印加する。これらドライバには電源回路85から所定の電力が供給される。

【0025】図2はPDP1の内部構造を示す斜視図である。PDP1は、前面側のガラス基板11の内面に、行し毎に一对ずつサステイン電極（表示電極）X、Yが配列されている。行しは画面における水平方向のセル列である。サステイン電極X、Yは、それぞれがITOからなる透明導電膜41とCr-Cu-Crからなる金属膜（バス電極）42で形成され、低融点ガラスからなる厚さ30 μ m程度の誘電体層17で被覆されている。誘電体層17の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜18が設けられている。アドレス電極Aは、背面側のガラス基板21の内面を覆う下地層22の上に配列されており、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mのストライプ状の隔壁29が、各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30が行方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。そして、隔壁間の細長い溝内に、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色のストライプ状の蛍光体層28R、28G、28Bが設けられている。3色の配置パターンは、1列のセルの発光色が同一で且つ隣接する列どうしの発光色が異なるストライプパターンである。なお、隔壁形成に際しては、コントラストを高めるために頂上部を暗色に着色し、他の部分を白色に着色して可視光の反射率を高めるようにするのが望ましい。着色は材料のガラスペーストに所定色の顔料を添加することにより行うことができる。

【0026】放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており（封入圧力は500 Torr）、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル（画素）は行方向に並ぶ3個のサブピクセルで構成される。各サブピクセル内の構造体がセル（表示素子）である。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行しに跨がって列方向に連続している。そのため、隣接する行しどうしの電極間隙（逆スリット）の寸法は各行しの面放電ギャップ（例えば50～150 μ mの範囲内の値）より十分に大きく、列方向の放電結合を防ぐことのできる値（例えば150～500 μ mの範囲内の値）に選定されている。なお、逆スリットには非発光の白っぽい蛍光体層を隠す目的で、前面側の基板11の外側又は内側に図示しない遮光膜（いわゆるブラックストライプ）を設けるようにしてもよい。

【0027】図3は本発明の表示制御の一例を示す説明図である。PDP1による表示においては、2値の点灯制御によって階調再現を行うために、従来から行われて

いるように、入力画像である時系列の各フレームを例えば8つのサブフレームに時分割する。言い換えれば、フレームを8つのサブフレームの集合に置き換える。ただし、NTSC方式のテレビジョンのようにインターレース形式で走査された画像を再生する場合には、各フィールドを8つのサブフィールドに分割する。以下、1フレームFが2フィールドfで構成されているものとして説明する。

【0028】そして、このように各フィールドfを8つのサブフィールドsf1、sf2、sf3、sf4、sf5、sf6、sf7、sf8に分割した後、これらサブフィールドsf1～sf8における輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして、各サブフィールドsf1～sf8のサステインの発光回数（放電回数または点灯回数ともいう）を設定する。この場合、サブフィールド単位の点灯／非点灯の組合わせてRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色の数は256³となる。これは1フィールドfを8分割した場合であるが、9分割した場合には512³、10分割した場合には1024³となる。

【0029】図3はマトリクス状に配置された放電セルの1行～N行までの走査状態を示している。この図では、説明を簡単にするために、1フィールドfを5つのサブフィールドsf1、sf2、sf3、sf4、sf5に分割し、各サブフィールドsfj（j=1, 2, 3, 4, 5）をさらに全画面にわたり時間的に共通のアドレス期間TAとサステイン期間TSに分離して階調表示を行う例を示した。この方式は一般にADSサブフィールド方式と呼ばれるものである。

【0030】アドレス期間TAでは、サステイン電極Yを走査（スキャン）電極とし、アドレス電極Aを信号電極として画面の走査を行い、点灯させたい放電セルに壁電荷を形成する。次に、サステイン期間TSでは、壁電荷の形成された放電セルのみに放電が発生し、その他の放電セルでは放電が発生しないような電圧をサステイン電極Xとサステイン電極Y間に交互に印加して、サステイン放電を行い、これを継続することで所望の放電セルを点灯させ表示を行う。

【0031】そして、コントラストの調整を行う場合には、例えば図中斜線で示すサブフィールドsf2の表示の際に画面全ての放電セルを点灯（全面点灯）させて、画面のコントラストの調整を行う。

【0032】このようにして、ある輝度相対比の重み付けを持つサブフィールドについて全面点灯を行うことで、バックグラウンドの輝度を上げ、コントラストを調整することができる。全面点灯を行うサブフィールドは、いずれのサブフィールドを選択してもよく、輝度相対比の重み付けの小さなサブフィールドを選択した場合には、バックグラウンドの輝度の上昇を小さく抑えて、

コントラストの微調整を行うことができ、輝度相対比の重み付けの大きなサブフィールドを選択した場合には、バックグラウンドの輝度の上昇を大きくして、コントラストを大きく調整することができる。

【0033】例えば、最大輝度を 300cd/m^2 とすると、コントラストを $15:1$ 以下にするためには、背面発光輝度が 20cd/m^2 になる様に全面点灯させるサブフィールドを選択すればよい。

【0034】また、例えば、実使用条件（普通の部屋）での外光によるコントラストの低下を見越して、全面点灯させるサブフィールドを最小発光輝度の重み付けのサブフィールドに限定するようにしてもよい。

【0035】全面点灯させるサブフィールドの選択に関しては、表示装置の外部にスイッチ、ボリューム等の選択手段を設けて、外部から任意のサブフィールドを選択できるようにしてもよく、このようにして、外光条件の変化に応じて全面点灯させるサブフィールドを選択することにより、最適なコントラストを得ることができる。

【0036】以上では、ADSサブフィールド方式について説明したが、図4に示すような、一般に線順次駆動方式と呼ばれる方式においても、上記の全面点灯でコントラストの調整を行うことができる。

【0037】この線順次駆動方式は、ADSサブフィールド方式とは異なり、マトリクス状に配置された放電セルの1行～N行を順次走査するに際して、全ラインのアドレス放電が終わった後にサステイン放電に移行するのではなく、1ライン毎にアドレス放電を行った後直ちにサステイン放電に移行する方式である。

【0038】この図では、説明を簡単にするために、1フィールド f を4つのサブフィールド $sf1$ 、 $sf2$ 、 $sf3$ 、 $sf4$ に分割し、各サブフィールド毎に全ラインを走査した後直ちにサステイン放電を行う例を示した。

【0039】この線順次駆動方式でコントラストの調整を行う場合には、例えば図中斜線で示すサブフィールド $sf2$ の表示の際に全ての放電セルを点灯させて、画面のコントラストの調整を行う。上記のADS方式と同様に、全面点灯を行うサブフィールドは、いずれのサブフィールドを選択してもよい。

【0040】図5～図11はADSサブフィールド方式でPDPを駆動する場合の各電極に印加する電圧波形の一例を示す説明図である。これらの図では、1フレームを2フィールドとし、各フィールドを $sf1$ ～ $sf8$ までの8つのサブフィールドに分割した例を示した。

【0041】各サブフィールド期間 $Tsfj$ は、アドレス準備期間 TR と、アドレス期間 TA と、サステイン期間 TS から構成されている。上記においては説明を簡単にするために、各サブフィールドはアドレス期間 TA とサステイン期間 TS から構成されていると説明したが、実際には、アドレス期間 TA にはアドレッシングのため

の準備期間が含まれている。

【0042】例えば、全放電セルの壁電荷をあらかじめ消去しておき、点灯させたい放電セルのみに壁電荷を形成する方式（一般に書き込みアドレス方式と呼ばれる）で駆動する場合には、アドレス放電を行う前に全放電セルの壁電荷を消去するためのアドレス準備期間 TR が必要である。これはサステイン放電を行った後の消去期間と言い換えてもよい。

【0043】また、全放電セルにあらかじめ壁電荷を均一に形成しておき、点灯しない放電セルの壁電荷を消去する方式（一般に消去アドレス方式と呼ばれる）で駆動する場合には、アドレス放電を行う前に全放電セルに壁電荷を均一に形成するためのアドレス準備期間 TR が必要である。これはサステイン放電を行った後の壁電荷形成期間と言い換えてもよい。

【0044】図5は書き込みアドレス方式で駆動する場合の各電極に印加する電圧波形の一例を示す説明図であり、まず、書き込みアドレス方式で駆動する場合について説明する。

【0045】この図に示すように、書き込みアドレス方式で駆動する場合、アドレス準備期間 TR （図中破線で囲って示す）では、アドレス電極Aの電位を電圧 Vaw に保持してサステイン電極X、Yとアドレス電極Aとの間で放電が生じないようにし、その間にサステイン電極Xにサステインパルスと同じ波形（電圧 Vs ）の継続パルス $Pr1$ を、続いてサステイン電極Yに継続パルス $Pr1$ を印加して、サステイン放電を継続した後、サステイン電極Xに波高値がサステインパルス Ps の約1.5倍（電圧 Vw ）、パルス幅がサステインパルス Ps の約2倍程度の全放電パルス $Pr2$ を印加して、全ての放電セルを放電させる。その後、アドレス電極A、サステイン電極X、サステイン電極Yの電位を全て“0”に保持して、自己消去放電を発生させ、全ての放電セルの壁電荷を消去する。

【0046】次のアドレス期間 TA では、サステイン電極Xの電位を電圧 Vax に保持し、その間にサステイン電極Yにスキャンパルス Py （電圧 $-Vy$ ）を印加しながら、所望のアドレス電極Aにアドレスパルス Pa （電圧 Va ）を印加して、アドレス放電を行う。

【0047】そして、次のサステイン期間 TS では、アドレス電極Aを電圧 Vaw に保持して、サステイン放電を確実に生じさせるために、第1回目だけは、通常のサステインパルス Ps よりも幅の広い初回サステインパルス $Ps2$ を印加した後、通常のサステインパルス Ps をサステイン電極Xとサステイン電極Yとに交互に印加し、最後はサステイン電極Yに印加してサステイン放電を終了する。

【0048】コントラストの調整のために、前述した任意のサブフィールド期間で全面点灯を行う場合、このような書き込みアドレス方式の駆動では、全面点灯させよ

うとするサブフィールドのアドレス準備期間TRに、全ての放電セルをいったん点灯させるのであるが、この後、消去を行う必要がない。このため、全ての放電セルを点灯させた後の自己消去放電が行われないようにすることで、その後のアドレス期間TAを省略することができる。

【0049】図6は書き込みアドレス方式での駆動に際しアドレス期間TAを省略する場合の各電極に印加する電圧波形を示す説明図である。この図に示すように、任意のサブフィールド期間に全面点灯を行ってコントラストを調整する場合、書き込みアドレス方式の駆動では、全面点灯させようとするサブフィールドのアドレス準備期間TR（図中破線で囲って示す）において、全ての放電セルを点灯させた後、自己消去放電が生じないようにする。すなわち、サステイン電極X、Yに継続パルスPr1を印加せず、サステイン電極Xに、全放電パルスPr2と同じ高さと同じ幅で立ち下がり時に徐々に電圧が低下する鈍波パルスPr3を印加する。これにより、全放電セルに壁電荷が形成された状態を維持できるので、そのまま次のサステイン期間TSに移行して、サステイン放電を行うことにより、アドレス放電を省略することができる。

【0050】このように、書き込みアドレス方式で駆動する場合、通常のサブフィールドのアドレス時には、全放電セルの壁電荷を消去した後、線順次のスキャン動作により、点灯すべき放電セルのアドレス電極Aとサステイン電極Y間で放電を発生させて、点灯すべき放電セルに壁電荷を形成するのであるが、所望のサブフィールド期間に全面点灯を行ってコントラストを調整する場合には、そのサブフィールドについては、個々の放電セルへのアドレス動作が不要となるため、アドレス時間を短縮することができる。

【0051】この書き込みアドレス方式で駆動する場合、コントラストの調整のために所望のサブフィールド期間に全面点灯を行った後の、次のサブフィールドのアドレス準備期間TRでは、全ての放電セルを点灯させる必要はなく消去するだけでよい。したがって、次にこの点について説明する。

【0052】図7は書き込みアドレス方式での駆動に際しアドレス準備期間TRに放電セルの消去のみを行う場合の各電極に印加する電圧波形を示す説明図である。この図に示すように、書き込みアドレス方式の駆動では、所望のサブフィールド期間に全面点灯を行った後の、次のサブフィールドのアドレス準備期間TR（図中破線で囲って示す）においては、前サブフィールドで全ての放電セルが点灯しているため、放電セルを点灯させる必要がない。このため、サステイン電極XにサステインパルスPsと同じ高さで幅が約1/2の消去用の細幅パルスPr4を印加して、全ての放電セルの壁電荷の消去のみを行えばよい。

【0053】この消去パルスとしては、上述の消去用の細幅パルスPr4ではなく、図8に示すように、全面点灯の次のサブフィールドのアドレス準備期間TR（図中破線で囲って示す）に、徐々に電圧が低下するマイナスの消去用の鈍波パルスPr5をサステイン電極Yに印加するようにしてもよい。

【0054】このように、書き込みアドレス方式で駆動する場合には、コントラストの調整のために全面点灯させたサブフィールドの後には、サステイン電極Xまたはサステイン電極Yに消去用の細幅パルスまたは消去用の鈍波パルスを印加するだけでよく、全ての放電セルを点灯させる操作が不要となる。以上では、書き込みアドレス方式で駆動を行う場合について説明したが、次に消去アドレス方式で駆動を行う場合について説明する。

【0055】図9は消去アドレス方式でPDPを駆動する場合の各電極に印加する電圧波形の一例を示す説明図である。この図に示すように、消去アドレス方式で駆動する場合、アドレス準備期間TR（主要な部分を図中破線で囲って示す）では、アドレス電極Aの電位を電圧Vaに保持してサステイン電極X、Yとアドレス電極Aとの間で放電が生じないようにし、その間にサステイン電極Xにサステインパルスと同じ波形の継続パルスPr1を印加して、サステイン放電を継続した後、サステイン電極Xに波高値がサステインパルスPsと同じ高さから約1.2倍（電圧Vxw）の高さまで2段階に変化し、パルス幅がサステインパルスPsの約3倍程度の第1全放電パルスPr6を、サステイン電極Yに電圧が-Vyw、パルス幅が第1全放電パルスPr6と同じ第2全放電パルスPr7をそれぞれ印加して、直前の継続パルスPr1で放電しなかった放電セルを放電させる。その後、アドレス電極A、サステイン電極X、サステイン電極Yの電位を所定時間だけ全て“0”に保持して自己消去放電を少しだけ発生させ、次にサステイン電極Yに、サステインパルスPsと高さが同じで幅が約2倍の、立ち下がり時に徐々に電圧が低下する鈍波パルス（電荷反転パルス）Pr8を印加して、全ての放電セルの壁電荷の極性を反転する。

【0056】次のアドレス期間TAでは、サステイン電極Xの電位を“0”に保持し、その間にサステイン電極YにスキャンパルスPy（電圧-Vy）を印加しながら、所望のアドレス電極AにアドレスパルスPa（電圧Va）を印加して、アドレス放電を行う。

【0057】そして、次のサステイン期間TSでは、サステインパルスPsの印加毎にアドレス電極Aを電圧Vaに保持して、サステイン放電を確実に生じさせるために、第1回目だけは、通常のサステインパルスPsよりも幅の広い2段階の初回サステインパルスPs3を印加した後、通常のサステインパルスPsをサステイン電極Xとサステイン電極Yとに交互に印加し、最後はサステイン電極Yに印加してサステイン放電を終了する。

【0058】このような消去アドレス方式の駆動においても、コントラストの調整は可能であるが、このコントラストの調整のために、前述した任意のサブフィールド期間で全面点灯を行う場合には、全面点灯させようとするサブフィールドのアドレス準備期間TRに、全ての放電セルを点灯させた後は、壁電荷を消去する必要がないため、その後のアドレス期間TAを省略することができる。

【0059】図10は消去アドレス方式での駆動に際しアドレス期間TAを省略する場合の各電極に印加する電圧波形を示す説明図である。この図に示すように、任意のサブフィールド期間に全面点灯を行ってコントラストを調整する場合、消去アドレス方式の駆動では、全面点灯させようとするサブフィールドのアドレス準備期間TR（主要な部分を図中破線で囲って示す）において、全ての放電セルを点灯させた後、壁電荷を消去する必要がないため、その後のアドレス期間TAを省略することができる。

【0060】このように、消去アドレス方式で駆動する場合、通常のサブフィールドのアドレス時には、全放電セルに壁電荷を形成した後、線順次のスキャン動作により、点灯しない放電セルのアドレス電極Aとサステイン電極Y間で放電を発生させて、点灯しない放電セルの壁電荷を消去するのであるが、所望のサブフィールド期間に全面点灯を行ってコントラストを調整する場合には、そのサブフィールドについては、個々の放電セルへのアドレス動作が不要となるため、アドレス時間を短縮することができる。

【0061】この消去アドレス方式で駆動する場合、コントラストの調整のために所望のサブフィールド期間に全面点灯を行った後の、次のサブフィールドのアドレス準備期間TRでは、前サブフィールドで非点灯の放電セルを放電させた後、全放電セルの壁電荷の極性を反転させるのではなく、全放電セルの壁電荷の極性を反転させるだけでよい。したがって、次にこの点について説明する。

【0062】図11は消去アドレス方式での駆動に際しアドレス準備期間TRに放電セルの電荷反転のみを行う場合の各電極に印加する電圧波形を示す説明図である。この図に示すように、所望のサブフィールド期間に全面点灯を行った後の、次のサブフィールドのアドレス準備期間TR（主要な部分を図中破線で囲って示す）においては、前サブフィールドで非点灯の放電セルがないため、前サブフィールドで非点灯の放電セルを放電させる必要はなく、放電セルの壁電荷の極性を反転させるだけでよい。このため、サステイン電極Yに、図9に示したものと同一の鈍波パルスPrsを印加して、全ての放電セルの壁電荷の極性の反転だけを行えばよい。

【0063】このように、消去アドレス方式で駆動する場合には、コントラストの調整のために全面点灯させた

サブフィールドの後は、パネル内の壁電荷の分布は均一であるため、鈍波パルスによる電荷反転を行うだけでよく、前サブフィールドで非点灯の放電セルを点灯させる操作が不要となる。

【0064】以上でコントラストを調整するための表示制御について説明したが、この表示制御を行う回路は、図1に示したデータ処理回路83の内部に、画像表示のための1フィールドを輝度の重みの異なる複数のサブフィールドに分割する分割回路と、各サブフィールドの点灯を制御することにより階調表示を行う階調表示回路と、分割した複数のサブフィールドの内の特定のサブフィールドについて画面を構成する全ての放電セルを点灯させるコントラスト調整回路として組み込まれており、これらの回路により、画面のコントラストを調整することができる。

【0065】このようにして、所望のサブフィールド期間に放電セルの全面点灯を行うことにより、画面のコントラストを調整することができる。したがって、ADSサブフィールド方式で階調制御を行うように製造された通常のPDPの駆動ユニットに対して、所望のサブフィールド期間に放電セルの全面点灯を行うことができる機能をROM等の追加で付加できるようにしておけば、同一の駆動ユニットを用いて、任意に画面のコントラストを調整することが可能となり、製造ラインの変更を最小限に抑えて、最良のコントラストを持つPDPを得ることができる。

【0066】

【発明の効果】この発明によれば、1フィールドを複数のサブフィールドに分割し、各サブフィールドの点灯を制御することにより階調表示を行うにあたり、複数のサブフィールドの少なくとも1つを画面のコントラストを調整するためのサブフィールドとして用いるようにしたので、例えば、複数のサブフィールド内の特定のサブフィールドについて、画面を構成する全ての放電セルを点灯するようにした場合には、最も輝度の低い放電セルの輝度を高めることができ、これにより画面のコントラストを調整することができる。したがって、PDPの基本構造を変えることなく、簡単に画面のコントラストを調整することができる。

【図面の簡単な説明】

【図1】本発明に係るプラズマ表示装置の構成図である。

【図2】PDPの内部構造を示す斜視図である。

【図3】ADSサブフィールド方式でマトリクス状に配置された放電セルを走査する状態を示す説明図である。

【図4】線順次駆動方式でマトリクス状に配置された放電セルを走査する状態を示す説明図である。

【図5】書き込みアドレス方式で駆動する場合の各電極に印加する電圧波形の一例を示す説明図である。

【図6】書き込みアドレス方式での駆動に際しアドレス

期間TAを省略する場合の各電極に印加する電圧波形を示す説明図である。

【図7】書き込みアドレス方式での駆動に際しアドレス準備期間TRに放電セルの消去のみを行う場合の各電極に印加する電圧波形を示す説明図である。

【図8】書き込みアドレス方式での駆動に際しアドレス準備期間TRに放電セルの消去のみを行う場合の各電極に印加する電圧波形の他の例を示す説明図である。

【図9】消去アドレス方式でPDPを駆動する場合の各電極に印加する電圧波形の一例を示す説明図である。

【図10】消去アドレス方式での駆動に際しアドレス期間TAを省略する場合の各電極に印加する電圧波形を示す説明図である。

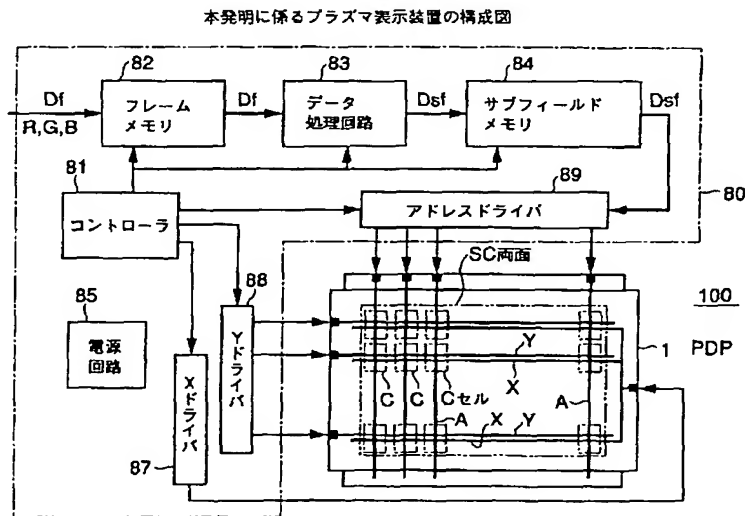
【図11】消去アドレス方式での駆動に際しアドレス準備期間TRに放電セルの電荷反転のみを行う場合の各電極に印加する電圧波形を示す説明図である。

【符号の説明】

- 1 AC型3電極面放電構造のPDP
- 11 前面側のガラス基板
- 17 誘電体層
- 18 保護膜
- 21 背面側のガラス基板
- 22 下地層

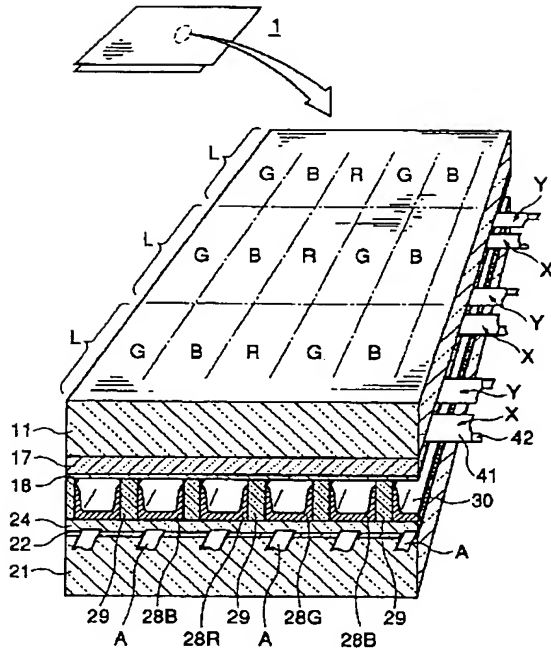
- 24 誘電体層
- 28R, 28G, 28B 蛍光体層
- 29 隔壁
- 30 放電空間
- 41 透明導電膜
- 42 金属膜(バス電極)
- 80 駆動ユニット
- 81 コントローラ
- 82 フレームメモリ
- 83 データ処理回路
- 84 サブフィールドメモリ
- 85 電源回路
- 87 Xドライバ
- 88 Yドライバ
- 89 アドレスドライバ
- 100 プラズマ表示装置
- A アドレス電極
- C セル
- Df フィールドデータ
- Dsf サブフィールドデータ
- L 行
- SC 画面
- X, Y サステイン電極

【図1】



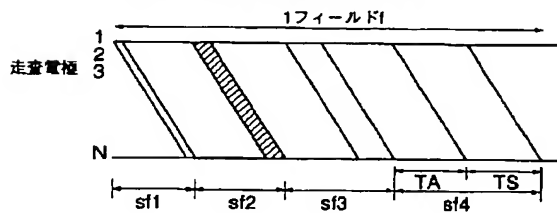
【図2】

PDPの内部構造を示す斜視図



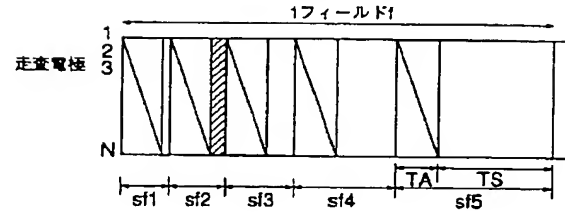
【図4】

線順次駆動方式でマトリクス状に配置された放電セルを走査する状態を示す説明図



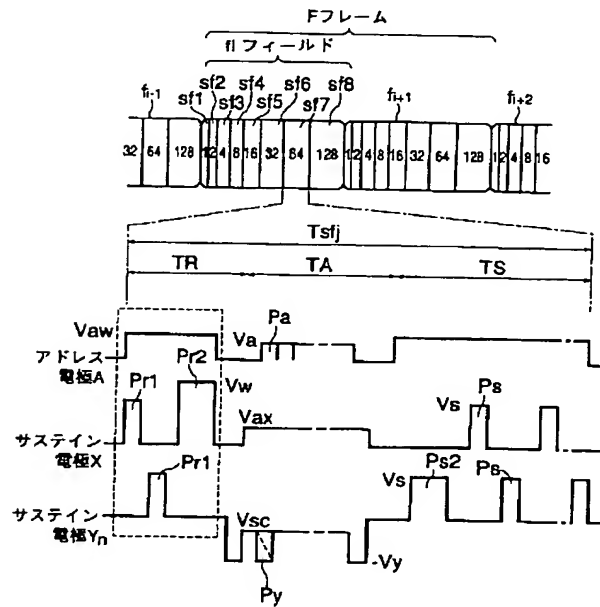
【図3】

ADSサブフィールド方式でマトリクス状に配置された放電セルを走査する状態を示す説明図



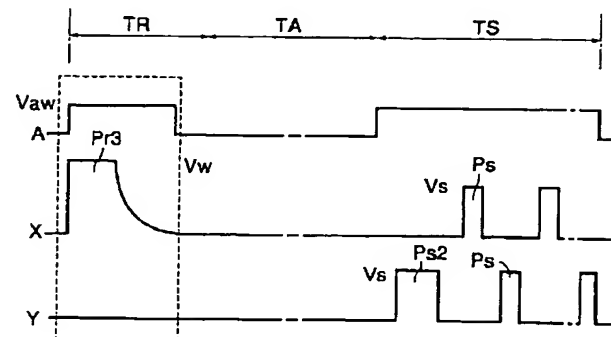
【図5】

書き込みアドレス方式で駆動する場合の各電極に印加する電圧波形の一例を示す説明図



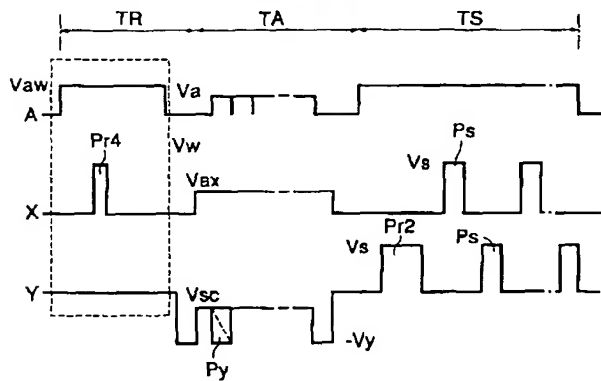
【図6】

書き込みアドレス方式での駆動に際しアドレス期間を省略する場合の各電極に印加する電圧波形を示す説明図



【図7】

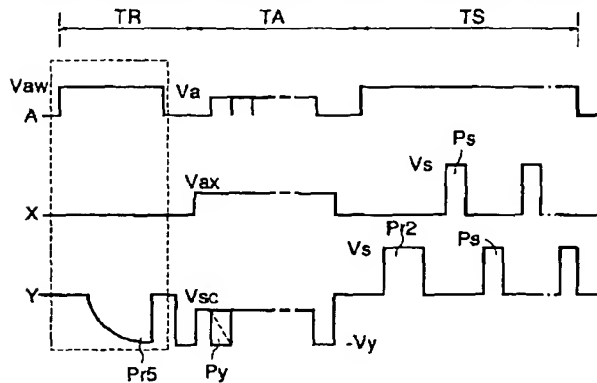
書き込みアドレス方式での駆動に際しアドレス準備期間に放電セルの消去のみを行う場合の各電極に印加する電圧波形を示す説明図



【図9】

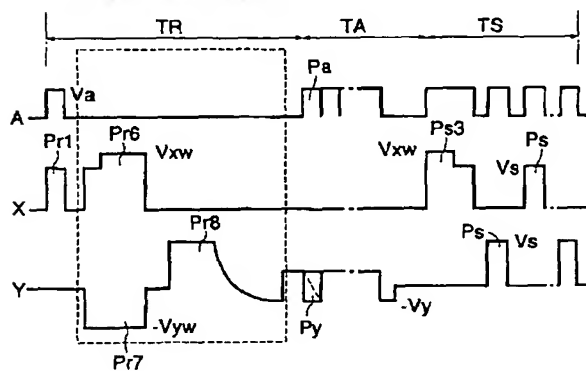
【図8】

書き込みアドレス方式での駆動に際しアドレス準備期間に放電セルの消去のみを行う場合の各電極に印加する電圧波形の他の例を示す説明図



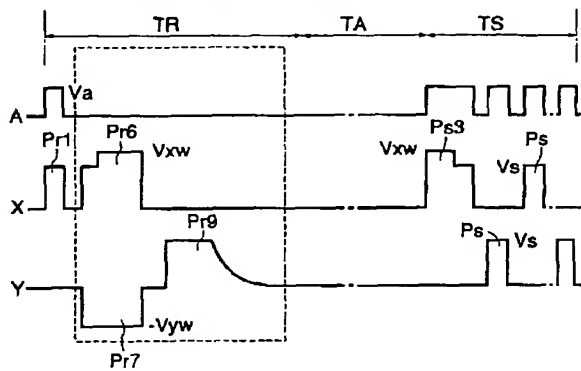
【図10】

消去アドレス方式でPDPを駆動する場合の各電極に印加する電圧波形の一例を示す説明図



【図 1 1】

消去アドレス方式での駆動に際しアドレス期間を省略する場合の
各電極に印加する電圧波形を示す説明図



消去アドレス方式での駆動に際しアドレス準備期間に放電セルの電荷反転のみを行う場合の各電極に印加する電圧波形を示す説明図

